

Production of a wiring surface on a semiconductor wafer for producing a circuit board comprises applying an insulating layer on a wafer, structuring to form strip conductor trenches, depositing a barrier layer, and further processing

Publication number: DE10246830

Publication date: 2004-02-12

Inventor: SCHROEDER PAUL (DE); SCHEDEL THORSTEN (DE)

Applicant: INFINEON TECHNOLOGIES AG (DE)

Classification:

- International: H01L21/768; H01L21/70; (IPC1-7): H01L21/768;
H01L27/04

- European: H01L21/768B6; H01L21/768C6

Application number: DE20021046830 20021008

Priority number(s): DE20021046830 20021008; DE20021045532 20020930

[Report a data error here](#)

Abstract of DE10246830

Production of a wiring surface on a semiconductor wafer (1) comprises: (a) applying a first insulating layer on a wafer; (b) structuring the layer to form strip conductor trenches in the layer; (c) depositing a first barrier layer (4); (d) depositing a start layer (5) to form a core for a copper layer; (e) sputtering or depositing a copper layer (6); (f) polishing the copper layer up to the surface of the trenches; (g) depositing a second barrier layer (7); (h) removing the first insulating layer between the trenches; and (i) filling the exposed regions between the strip conductors with a second insulating layer (8). An empty chamber is formed in the second insulating layer in the filled regions between the copper strip conductors. An Independent claim is also included for a semiconductor component formed by the above process.



Data supplied from the esp@cenet database - Worldwide



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt



(10) DE 102 46 830 A1 2004.02.12

(12)

Offenlegungsschrift

(21) Aktenzeichen: 102 46 830.3

(51) Int Cl. 7: H01L 21/768

(22) Anmeldetag: 08.10.2002

H01L 27/04

(43) Offenlegungstag: 12.02.2004

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

(66) Innere Priorität:

102 45 532.5 30.09.2002

(74) Vertreter:

Wilhelm & Beck, 80636 München

(71) Anmelder:

Infineon Technologies AG, 81669 München, DE

(72) Erfinder:

Schröder, Paul, 01465 Langebrück, DE; Schedel, Thorsten, 01129 Dresden, DE

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: Kupfermetallisierung

(57) Zusammenfassung: Zur Herstellung einer Kupferverdrahtungsebene auf einer Halbleiterscheibe wird eine erste Isolatorschicht auf der Halbleiterscheibe aufgebracht, diese strukturiert, um Leiterbahngräben auszubilden, wobei die Leiterbahngräben mit einer Schichtenfolge aus einer ersten Barrierenschicht, einer Startschicht zur Kupferkeimbildung, einer Kupferschicht und einer zweiten Barrierenschicht aufgefüllt wird und die zweite Barrierenschicht als Ätzmaske zum Entfernen der verbleibenden ersten Isolatorschicht eingesetzt wird. Die freigelegten Bereiche zwischen den Kupferleiterbahnen werden dann mit einer zweiten Isolatorschicht aufgefüllt, wobei sich wenigstens ein Leerraum in der zweiten Isolatorschicht in den aufgefüllten Bereichen zwischen den Kupferleiterbahnen ausbildet.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zum Herstellen einer Kupferverdrahtungsebene auf einer Halbleiterscheibe und ein Halbleiterbauelement mit solchen Kupferleiterbahnen. Bei hochintegrierten Schaltungen auf Halbleiterscheiben entfällt ein wesentlicher Anteil der Signallaufzeit auf die Verdrahtungsebenen. Das R·C-Produkt der Leiterbahnen aus Metall und der die Leiterbahnen umgebenden Dielektrikumschicht begrenzt die maximal erreichbare Schaltgeschwindigkeit der integrierten Schaltungen. Zielsetzung ist es deshalb, sowohl den Widerstand der Verdrahtungsebenen als auch die parasitäre Kapazität der Leiterbahnen so weit wie möglich zu verringern.

Stand der Technik

[0002] Als Metall für Leiterbahnen bei Halbleiterbauelementen eignet sich vorzugsweise Kupfer, das sich durch einen sehr geringen spezifischen Widerstand und eine geringe Elektromigrationsfestigkeit auszeichnet. Ein wesentlicher Nachteil beim Einsatz von Kupfer ist jedoch, dass eine Strukturierung im Rahmen der herkömmlichen Trockenätztechnik nicht möglich ist. Die Herstellung einer Kupferverdrahtung erfolgt deshalb üblicherweise mithilfe der so genannten Damascene-Technik, bei der als Dielektrikum zum Substrat und zu benachbarten Leiterbahnen ein Oxid, vorzugsweise Siliciumdioxid eingesetzt wird, das auf der Halbleiterscheibe vorzugsweise thermisch erzeugt wird. Um die Verdrahtung auszubilden, wird am Ort der gewünschten Leiterbahnen anisotrop Vertiefungen in dieses Oxid geätzt. Anschließend erfolgt üblicherweise die Abscheidung einer Diffusionsbarriere- und Keimschicht, um eine sichere Trennung des Kupfers vom Oxid bzw. dem darunter liegenden Halbleitersubstrat zu gewährleisten und gleichzeitig ein Aufwachsen des Kupfers zu ermöglichen.

[0003] Das Kupfer wird dann üblicherweise ganzflächig abgeschieden und durch Abpolieren der Kupferschicht bis zur Oberfläche der Gräben wieder entfernt, so dass dann eine strukturierte Metallisierung entsteht. Um das Kupfer dann vollständig zu verkapselfen, erfolgt üblicherweise abschließend eine Oberflächenbedeckung mit einer Diffusionsbarrierschicht.

[0004] Nachteilhaft am Einsatz, um Siliciumdioxid als Dielektrikum zwischen den Kupferleiterbahnen untereinander und zum Halbleitersubstrat hin ist die hohe Dielektrizitätszahl von 3,9. Zur Verbesserung des R·C-Produkts der Leiterbahnen über dem Substrat wurden deshalb Dielektrika mit geringer Dielektrizitätszahl, genannt "Low-K-Dielektrika" entwickelt. So lässt sich z.B. mit fluorierten Oxiden eine Senkung der Dielektrizitätszahl gegenüber Siliciumdioxid erreichen. Eine Verringerung gelingt weiterhin mit porösen bzw. organischen Materialien, die auf hochresis-

tenten Polymeren basieren.

[0005] Diese Low-K-Dielektrika lassen sich jedoch im Rahmen der Standardplanartechnik nur sehr schwer prozessieren und eignen sich insbesondere nicht für eine Kupfermetallisierung, da sie ungeeignet zum Einsatz im Rahmen der Damascene-Technik sind. Low-K-Dielektrika lassen sie sich nur sehr schwer ätzen und zeichnen sich durch eine geringe Beständigkeit beim Kupferpolierprozess aufgrund ihrer hohen Scherspannungssensitivität aus.

[0006] Bekannt ist weiterhin, dass sich bei Dielektrika der Wert der Dielektrizitätszahl durch Einbau von Luft enthaltenden Leerräumen, so genannten Voids, verringert lässt. Luft hat eine Dielektrizitätskonstante von nahezu 1 und sorgt so für eine wesentliche Verringerung des R·C-Produkts bei Leiterbahnen über einem Halbleitersubstrat.

[0007] Ein Verfahren zum Ausbilden von Voids in Dielektrikumsschichten zwischen Leiterbahnen Verdrahtungsebenen ist in der US 5 960 311 beschrieben. Bei diesem bekannten Verfahren werden Leiterbahnen auf einem Halbleitersubstrat zur Ausbildung einer Verdrahtungsebene hergestellt, wobei zwischen den Leiterbahnen ein Dielektrikum so ausgeführt wird, dass sich Leerräume bilden, die anschließend vorzugsweise mit einem Material mit niedriger Dielektrizitätskonstante ausgefüllt werden. Als Leiterbahnmetall wird dabei Aluminium eingesetzt. Auf die Möglichkeit der Verwendung von Kupfer und die speziellen Anforderungen, die sich bei der Kupferstrukturierung ergeben, wird jedoch nicht eingegangen.

[0008] Ein weiteres Verfahren zum Reduzieren der Kapazität zwischen Metallleiterbahnen durch Voids im Zwischendielektrikum ist aus der WO 00/44044 bekannt. Bei diesem bekannten Verfahren wird mittels CVD ein HDP (High Density Plasma) -Oxid zwischen Metallleiterbahnen eingefüllt, wobei sich Lufterräume bilden, die für eine Verkleinerung der Dielektrizitätskonstante sorgen. Als mögliches Leiterbahnmaterial wird zwar neben Aluminium, Wolfram und Polysilicium auch Kupfer genannt. Es wird jedoch nicht auf die spezifischen Erfordernisse der Kupferstrukturierung, insbesondere die Schwierigkeiten, Kupfer im Rahmen der Trockenätztechnik zu strukturieren, eingegangen.

Aufgabenstellung

[0009] Aufgabe der vorliegenden Erfindung ist es, ein Verfahren zum Herstellen einer Kupferverdrahtungsebene auf einer Halbleiterscheibe und ein entsprechend hergestelltes Halbleiterbauelement bereitzustellen, das sich auf einfache Weise mit Hilfe der bekannten Planartechnik zur Herstellung integrierter Schaltungen ausbilden lässt.

[0010] Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 und ein Halbleiterbauelement gemäß Anspruch 7 gelöst. Bevorzugte Weiterbildungen sind in den abhängigen Ansprüchen angegeben.

[0011] Gemäß der Erfindung wird zum Herstellen ei-

ner Kupferverdrahtungsebene im Halbleiterbauelement eine erste Isolatorschicht auf der Halbleiterscheibe aufgebracht, diese erste Isolatorschicht strukturiert, um Leiterbahngräben auszubilden, anschließend die Leiterbahngräben mit einer Schichtenfolge aus einer ersten Barriereschicht, einer Startschicht zur Keimbildung für eine Kupferschicht und abschließend einer zweiten Barrierenschicht ausgebildet, wobei zwischen diesen Kupferleiterbahnen nach Entfernen der ersten Isolatorschicht eine zweite Isolatorschicht ausgeführt wird⁶, bei der sich ein Leer Raum in dieser zweiten Isolatorschicht bildet. Zum Entfernen der ersten Isolatorschicht zwischen den Kupferleiterbahnen wird vorzugsweise die zweite Barrierenschicht als Ätzmaske verwendet.

[0012] Durch dieses erfindungsgemäße Verfahren wird auf einfache Weise gewährleistet, dass das Standard-Kupferstrukturierungsverfahren mittels Damascene-Technik eingesetzt werden kann, um alternativ zum herkömmlicherweise als Dielektrikum eingesetzten Siliziumdioxid einer Isolatorschicht mit Leerräumen, so genannten Voids, ausbilden zu können, die sich durch eine geringere Dielektrizitätszahl und damit ein verbessertes R·C-Produkt der Leiterbahnen auszeichnen. Das verbesserte R·C-Produkt sorgt für eine erhöhte Schaltgeschwindigkeit der hochintegrierten Schaltungen auf der Halbleiterscheibe. Gemäß der Erfindung wird somit auf einfache Weise eine Kupfermetallisierung mit verringelter Kapazität durch Einschluss von Luft ins Dielektrikum zwischen den Kupferbahnen erreicht. Es ist nicht mehr notwendig, aufwendige und teure als Low-K-Materialien bekannte Dielektrika mit geringem Dielektrizitätswert einzusetzen. Durch die Verwendung der zweiten auf der Kupferschicht als Barriere aufgebrachten Schicht als Ätzmaske zum Rückätzen der ersten Isolatorschicht wird gewährleistet, dass insbesondere auch die Kupferbahn bei diesem Rückätzprozess nicht beschädigt wird und somit eine zuverlässige und qualitativ hochwertige Kupfermetallisierung hergestellt wird.

[0013] Gemäß einer bevorzugten Ausführungsform wird das Ausfüllen der freigelegten Bereiche zwischen den Kupferleiterbahnen mit der zweiten Isolatorschicht so gesteuert, dass die zweite Isolatorschicht vorzugsweise im Kantenbereich der Kupferleiterbahnen abgeschieden wird und sich vorgegebene definierte Leerräume bilden, so dass sich die Dielektrizitätskonstante im Dielektrikum genau einstellen lässt. Bevorzugt ist dabei der Einsatz eines HDP (High Density Plasma) -Oxids, das für eine zuverlässige Leerraumbildung sorgt und darüber hinaus ein seit langem erprobtes Verfahren darstellt, das sich auf einfache Weise in die erfindungsgemäße Prozessfolge integrieren lässt.

Ausführungsbeispiel

[0014] Die Erfindung wird anhand der beigefügten Zeichnungen näher erläutert. Es zeigen

[0015] Fig. 1 bis 9 jeweils schematisch einen Querschnitt durch eine Halbleiterscheibe in verschiedenen aufeinander folgenden Prozessschritten eines erfindungsgemäßen Herstellungsverfahrens.

[0016] Die erfindungsgemäße Prozessfolge zur Herstellung einer Kupferverdrahtungsebene wird beispielhaft für ein Siliciumbauelement dargestellt. Es besteht jedoch die Möglichkeit, das dargestellte Verfahren auch zur Ausbildung einer Metallisierung bei beliebigen anderen Halbleiterbauelementen einzusetzen. Das dargestellte Verfahren eignet sich dabei insbesondere auch zur Ausbildung einer Mehrlagenverdrahtung, bei der die Verdrahtung in mehreren Ebenen übereinander, die über Kontaktöffnungen so genannte „Vias“ verbunden sind, ausgeführt ist.

[0017] Fig. 1 zeigt den Ausgangspunkt des erfindungsgemäßen Verfahrens, eine plane Silicium-Halbleiterscheibe 1. In dieser Silicium-Halbleiterscheibe 1 sind durch vorausgegangene Prozessschritte Bauelementstrukturen (nicht gezeigt) erzeugt worden, vorzugsweise mit Hilfe der bekannten Silicium-Planartechnik. Zur Ausbildung einer elektrisch leitfähigen Verbindung zwischen diesen Bauelementstrukturen untereinander und mit äußeren Anschlüssen wird erfindungsgemäß eine Kupferverdrahtungsebene hergestellt. Hierzu wird in einem ersten Schritt, wie in Fig. 2 gezeigt, auf der Silicium-Halbleiterscheibe 1 eine erste Isolatorschicht 2, vorzugsweise Siliciumdioxid, aufgebracht. Die Siliciumdioxid-Erzeugung erfolgt vorzugsweise durch thermische Oxidation oder durch Abscheidung aus der Gasphase, z.B. als TEOS-Oxidabscheidung. Zur Herstellung der Verdrahtungsebene wird am Ort der gewünschten Leiterbahnen möglichst anisotrop eine Vertiefung in die Siliciumdioxidschicht 2 geätzt. Dieser Vorgang wird vorzugsweise mit der bekannten Lithographietechnik ausgeführt. Hierzu wird auf der Oxidoberfläche 2 ein lichtempfindlicher Fotolack 3 aufgebracht, der mit Hilfe einer Maske, die die Struktur der Entwurfsebene der Leiterbahnen enthält, belichtet wird. Anschließend wird der Fotolack 3 entwickelt, wobei in der Regel der belichtete Fotolack entfernt wird. Dann wird das OXID 2 mit dem Fotolack 3 als Maskierschicht anisotrop geätzt, wie in Fig. 3 gezeigt ist. In einem abschließenden Schritt wird dann der restliche Fotolack mit einem weiteren Ätzschritt wieder entfernt. Die anisotrope Ätzung der Siliciumdioxidschicht 2 erfolgt dabei so, dass die darunterliegende Schicht die Silicium-Halbleiterscheibe 1 als Ätzstopp verwendet wird.

[0018] Nach dem Ausbilden der Leiterbahngräben wird eine konforme Abschaltung einer ersten Barriereschicht 4 vorzugsweise mit Hilfe eines CVD-Verfahrens vorgenommen. Diese Barriereschicht sorgt zuverlässig dafür, dass das anschließend aufgebrachte Kupfer nicht in die umliegenden Schichten diffundieren kann, bzw. von diesen beeinflusst wird. Als Diffusionsbarriereschicht 4 wird dabei vorzugsweise Titanitrid-, Tantal- oder Tantalnitritschichten mit einer Dicke im Nanometerbereich eingesetzt. Alternativa-

tiv kann als dielektrische Diffusionsbarriere auch Siliciumnitrid verwendet werden. Anschließend erfolgt das Aufsputtern bzw. die CVD-Abscheidung einer weiteren dünnen Starterschicht 5, die zur Keimbildung der Kupferdeposition dient. **Fig. 4** zeigt einen Querschnitt durch die Halbleiterscheibe nach diesem Prozessschritt.

[0019] Auf der Startschicht 5 erfolgt dann ganzflächig elektrolytisch oder chemisch stromlos eine Kupferabscheidung 6 mit einer Dicke von ca. 1 µm. Dieser Kupferabscheideprozess ist in **Fig. 5** gezeigt. Im weiteren wird dann die überstehende Kupferschicht 6 vorzugsweise mit Hilfe eines chemisch-mechanischen Polierprozesses wieder bis zur Oberfläche der Gräben entfernt, so dass eine strukturierte Kupfermetallisierung, wie sie in **Fig. 6** gezeigt ist, entsteht. [0020] Im nächsten Prozessschritt wird dann eine vollständige Verkapselung der Kupferschicht durch eine zweite Barrierenschicht 7, vorzugsweise Titannitrid, vorgenommen. Die Barrierenschicht 7 wird selektiv auf der Kupferschicht abgeschieden, so dass nur eine Kappe der zweiten Barrierenschicht 7 auf den Kupferleiterbahnen 6 verbleibt. Ein Querschnitt durch die Halbleiterscheibe nach diesem Prozessschritt ist in **Fig. 7** dargestellt.

[0021] Die Barrierenschicht 7 wird dann als Ätzmaske zum Wegätzen der verbleibenden Siliciumoxid-Schicht 2 eingesetzt. Dabei werden die bekannten anisotropen Ätztechniken zum Entfernen von Siliciumdioxid, insbesondere Trockenätz-Technik, wie Plasmaätzen und Ionenstrahlätzen eingesetzt. Als Ätzstopp wird wiederum die unter der Silizium-Oxidschicht 2 liegende Schicht der Silicium-halbleiterscheibe 1 verwendet. Ein Querschnitt durch die Siliciumhalbleiterscheibe nach diesem Ätzschritt ist in **Fig. 8** gezeigt.

[0022] In einem abschließenden Schritt werden dann die Lücken zwischen den Kupferleiterbahnen 6 mit einer Dielektrumsschicht 8, vorzugsweise einer HDP (High Density Plasma)-Oxid aufgefüllt. Die Siliciumdioxid-erzeugung erfolgt bei diesem Verfahren plasmaunterstützt, so dass sich ein hochdichtetes Siliciumdioxid ausbildet, das vorzugsweise im Kantenbereich aufwächst. Dies hat zur Folge, wie in **Fig. 9** gezeigt, dass sich die HDP-Oxidschicht 8 über den Leiterbahnen 6 im Kantenbereich schließt, so dass sich Leerräume 9, die Luft enthalten, zwischen den Leiterbahnen 6 bilden. Die Verwendung von HDP-Oxid ermöglicht eine genau definierte Leerraumbildung und somit eine definierte Einstellung des Dielektrizitätswertes in der HDP-Oxid-Schicht 8. [0023] Alternativ zur Verwendung von HDP-Oxid besteht jedoch auch die Möglichkeit, andere dielektrische Isolatormaterialien, die sich durch gute Lückenfülleigenschaften auszeichnen und vorzugsweise im Kantenbereich aufwachsen, einzusetzen. Durch die Erfindung wird erreicht, dass sich im Rahmen der bekannten Damascene-Technik eine Kupferstrukturierung zur Ausbildung einer Kupferverdrahtungsebene vornehmen lässt, wobei zugleich ein

Dielektrum mit verringrigerter Dielektrizitätszahl durch Verwendung einer Dielektrumsschicht mit Leerräumen zwischen den Leiterbahnen eingesetzt wird.

Patentansprüche

1. Verfahren zum Herstellen einer Verdrahtungsebene auf einer Halbleiterscheibe mit den Schritten:
 a) Bereitstellen einer Halbleiterscheibe;
 b) Aufbringen einer ersten Isolatorschicht auf der Halbleiterscheibe;
 c) Strukturieren der ersten Isolatorschicht, um Leiterbahnengräben in der ersten Isolatorschicht auszubilden;
 d) Abscheiden einer ersten Barrierenschicht;
 d) Abscheiden einer Startschicht zur Keimbildung für eine Kupferschicht;
 d) Aufsputtern oder Abscheidung einer Kupferschicht;
 e) Abpolieren der Kupferschicht bis zur Oberfläche der Leiterbahngräben;
 f) Abscheiden einer zweiten Barrierenschicht;
 g) Entfernen der ersten Isolatorschicht zwischen den Kupfer-Leiterbahnen; und
 h) Auffüllen der freigelegten Bereiche zwischen den Kupfer-Leiterbahnen mit einer zweiten Isolatorschicht, wobei ein Leerraum sich in der zweiten Isolatorschicht in den aufgefüllten Bereichen zwischen den Kupfer-Leiterbahnen ausbildet.
2. Verfahren nach Anspruch 1, wobei der Schritt h) Auffüllen der freigelegten Bereiche zwischen den Kupfer-Leiterbahnen mit einer zweiten Isolatorschicht so erfolgt, dass die zweite Isolatorschicht bevorzugt im Kantenbereich der Kupfer-Leiterbahnen abgeschieden wird.
3. Verfahren nach Anspruch 1 oder 2, wobei die zweite Isolatorschicht aus HDP-Oxid besteht.
4. Verfahren nach einem der Ansprüche 1 bis 3, wobei die erste Isolatorschicht aus Siliciumdioxid besteht.
5. Verfahren nach einem der Ansprüche 1 bis 4, wobei der Schritt c) Strukturieren der ersten Isolatorschicht mit Hilfe einer Fotolithografietechnik erfolgt.
6. Verfahren nach einem der Ansprüche 1 bis 5, wobei der Schritt g) Entfernen der ersten Isolatorschicht zwischen den Kupfer-Leiterbahnen mit Hilfe einer Trockenätztechnik erfolgt.
7. Halbleiterbauelement mit einer Verdrahtungsebene mit Kupfer-Leiterbahnen auf der ersten Isolatorschicht bestehend aus einer ersten Barrierenschicht, einer Startschicht zur Keimbildung für eine Kupferschicht, einer Kupferschicht und einer zweiten Barrierenschicht, und einer zweiten Isolatorschicht

zwischen den Kupfer-Leiterbahnen, wobei ein Leer-
raum in der zweiten Isolatorschicht in den Bereiche
zwischen den Kupfer-Leiterbahnen ausgebildet ist.

8. Halbleiterbauelement nach Anspruch 7, wobei
die zweite Isolatorschicht aus HDP-Oxid besteht.

9. Halbleiterbauelement nach Anspruch 7 oder 8,
wobei die erste Isolatorschicht aus Siliziumdioxid be-
steht.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

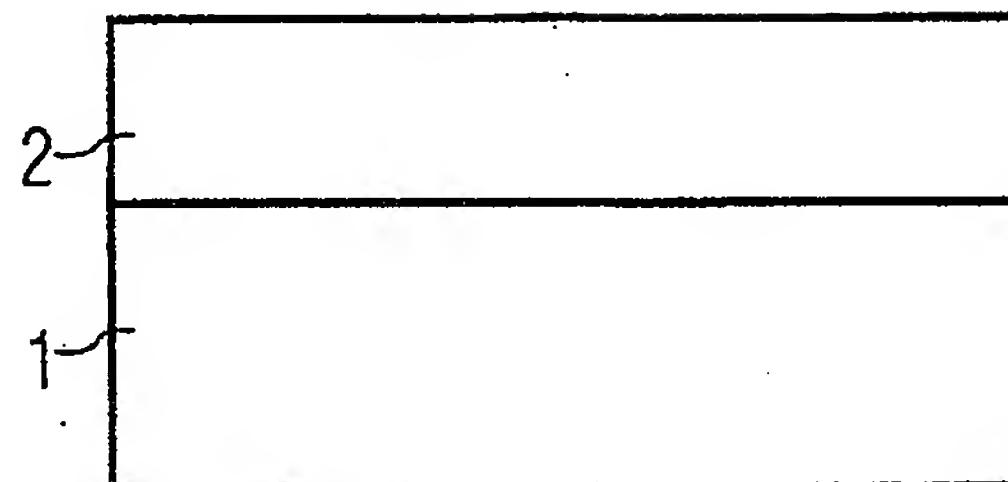
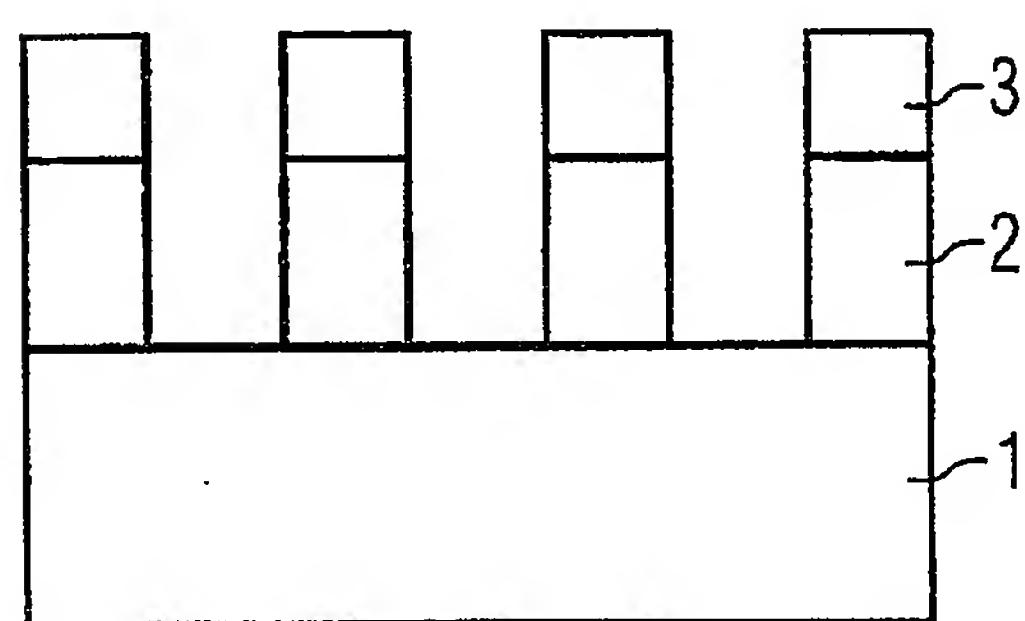
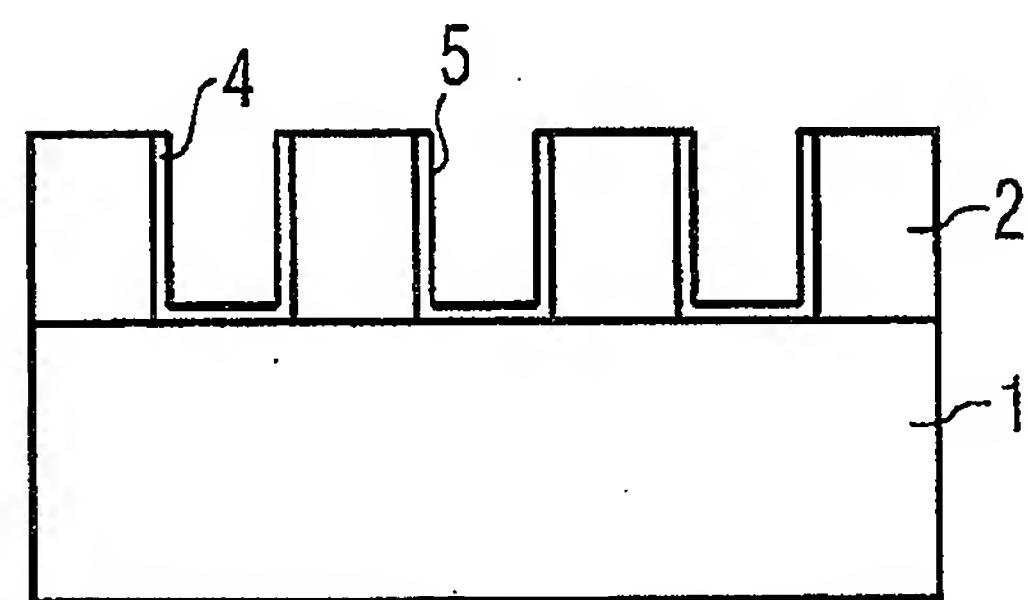
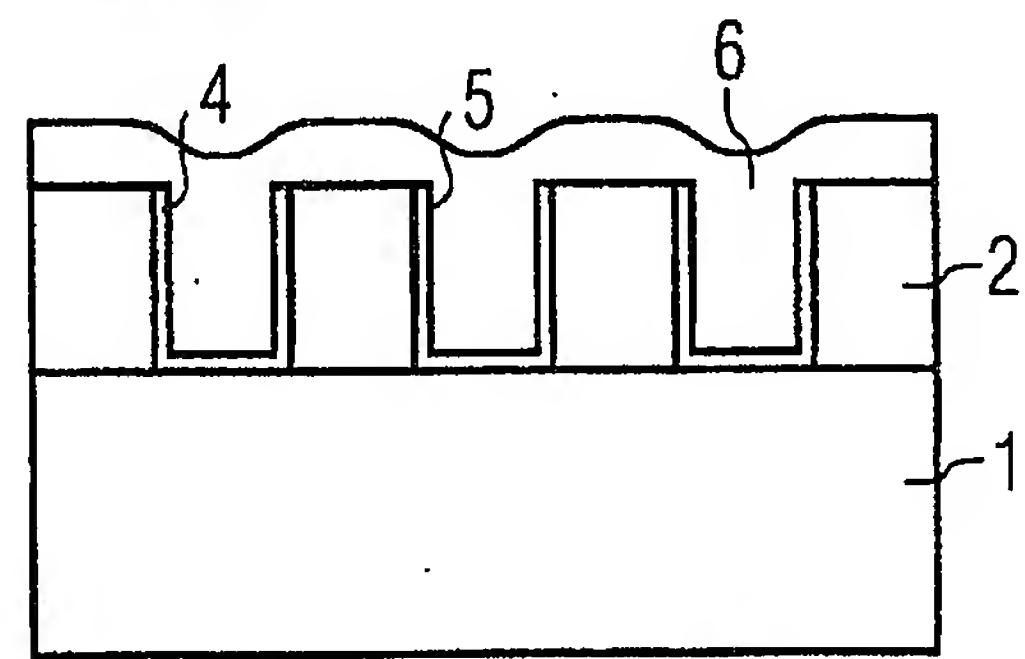
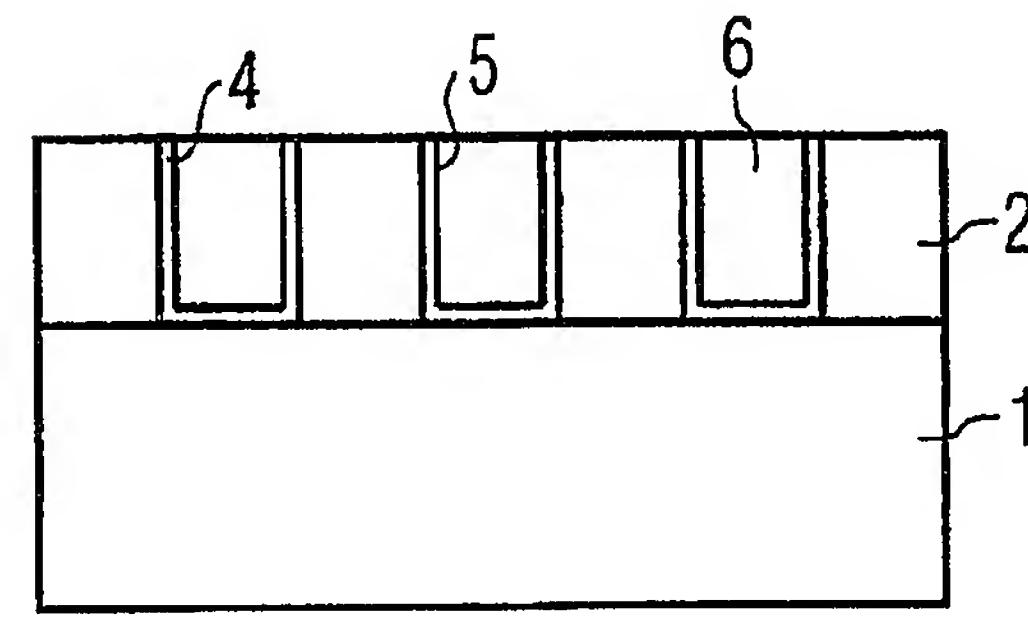
FIG 1**FIG 2****FIG 3****FIG 4****FIG 5****FIG 6**

FIG 7

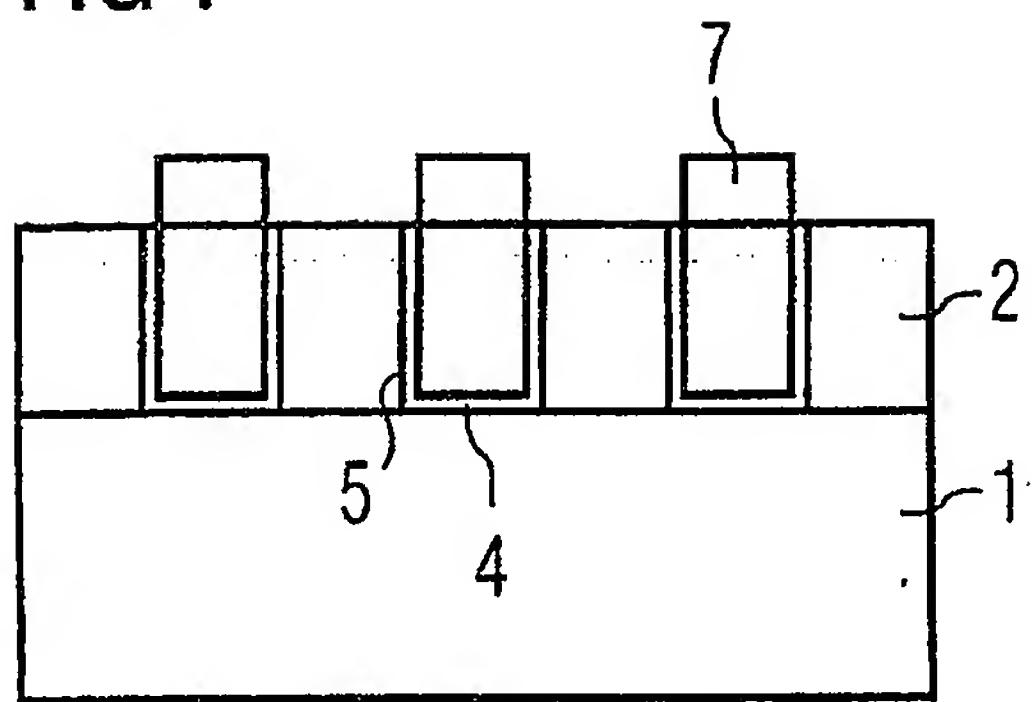


FIG 8

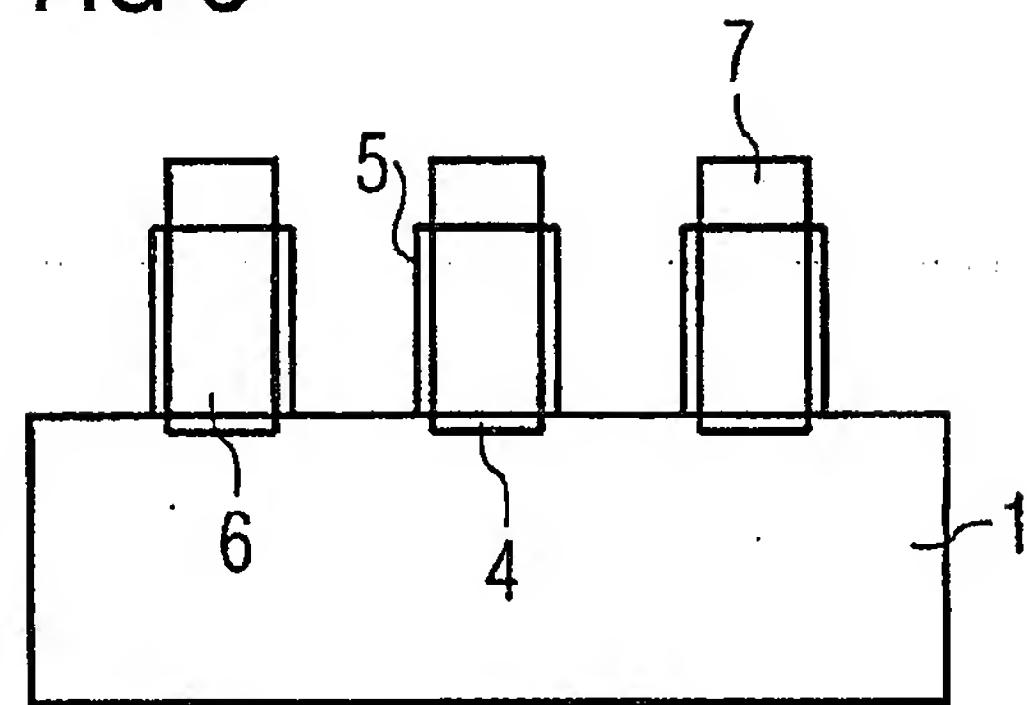


FIG 9

